

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-8307

(43)公開日 平成9年(1997)1月10日

(51)Int.Cl.
H 01 L 29/786
21/336

識別記号 庁内整理番号

F I
H 01 L 29/78

技術表示箇所

6 1 6 A

審査請求 未請求 請求項の数4 O L (全6頁)

(21)出願番号 特願平7-159059

(22)出願日 平成7年(1995)6月26日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 鳴▲崎▼ 隆章

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

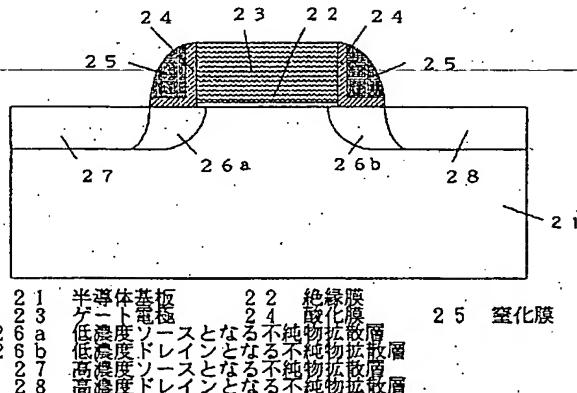
(74)代理人 弁理士 宮井 善夫

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】高電界や紫外線で発生したホットキャリアに起因する特性変動を抑制できる半導体装置を提供する。

【構成】ゲート電極23の側部および低濃度ソース、ドレインとなる不純物拡散層26a, 26b上を覆い、かつ窒化膜25の下に形成する酸化膜24を、膜厚6nm以上, 20nm以下の熱酸化膜とすることにより、高電界や紫外線で発生したホットキャリアが酸化膜24を通過するのを防ぎ、酸化膜24と窒化膜25の境界にトラップするのを抑制して、半導体装置の特性変動を小さくできる。



【特許請求の範囲】

【請求項1】 半導体基板上に絶縁膜を介して形成したゲート電極と、前記ゲート電極の両側に隣接する前記半導体基板の表面に形成した低濃度ソース・ドレインと、前記ゲート電極を挟んで前記低濃度ソース・ドレインの外側に形成した高濃度ソース・ドレインと、前記ゲート電極の側部および前記低濃度ソース・ドレイン上を覆う酸化膜と、前記酸化膜上に形成した窒化膜とを備えた半導体装置であって、

前記酸化膜は、膜厚が6nm以上、20nm以下の熱酸化膜からなることを特徴とする半導体装置。

【請求項2】 半導体基板上に絶縁膜を介して形成したゲート電極と、前記ゲート電極の両側に隣接する前記半導体基板の表面に形成した低濃度ソース・ドレインと、前記ゲート電極を挟んで前記低濃度ソース・ドレインの外側に形成した高濃度ソース・ドレインと、前記ゲート電極の側部および前記低濃度ソース・ドレイン上を覆う酸化膜と、前記酸化膜上に形成した窒化膜とを備えた半導体装置であって、

前記酸化膜は、前記ゲート電極の側部および前記低濃度ソース・ドレインに接し膜厚が6nm以上、20nm以下の熱酸化膜と、この熱酸化膜上に形成したCVD酸化膜との積層膜からなることを特徴とする半導体装置。

【請求項3】 CVD酸化膜の膜厚は20nm～100nmであることを特徴とする請求項2記載の半導体装置。

【請求項4】 窒化膜を、サイドウォールスペーサとしたことなどを特徴とする請求項1、2または3記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体集積回路に用いられる半導体装置に関するものである。

【0002】

【従来の技術】 近年、高集積化や高性能化をめざす半導体装置において、窒化膜やポリシリコンがサイドウォールスペーサ材料として使用されるようになってきた。図4は特開昭62-81762号公報や特開昭63-224363号公報に記載された従来の半導体装置の断面図である。図4において、1は半導体基板、2は絶縁膜、3はゲート電極、4は酸化膜、5は窒化膜、6は低濃度ソース・ドレインとなる不純物拡散層、7は高濃度ソースとなる不純物拡散層、8は高濃度ドレインとなる不純物拡散層である。

【0003】 ゲート電極3は絶縁膜2を介して半導体基板1上に配置されている。酸化膜4はゲート電極3の側部および不純物拡散層6の上を覆っている。酸化膜4は、ゲート電極3を電気的に絶縁したり、窒化膜5とゲート電極3および不純物拡散層6との応力を緩衝したりするためのもので、熱酸化法またはCVD法で形成され

る。酸化膜4の膜厚は20～30nm程度である。窒化膜5はサイドウォールスペーサであり、酸化膜4を介してゲート電極3の側部および不純物拡散層6の上に配置されている。窒化膜5は高濃度ソース、ドレインとなる不純物拡散層7、8を形成する時に不純物拡散層6へのイオン注入を妨げるマスクに使用する。以前はCVD酸化膜などを使用していたが、ゲートフリング効果による高駆動能力化や、サリサイド形成の容易性や、ウェットエッティングによる不要な酸化膜4の除去の容易性のために、ここでは窒化膜5が使用されている。

【0004】 図5は他の従来の半導体装置の断面図である。図5において、9は窒化膜、10はポリシリコンであり、その他の図4と同一部分については同一符号を付している。図5では、半導体基板1、絶縁膜2、ゲート電極3、酸化膜4は図4と同じように配置されている。窒化膜9は酸化膜4と同じくゲート電極3の側部および不純物拡散層6の上を覆っている。ポリシリコン10はサイドウォールスペーサであり、酸化膜4と窒化膜9を介してゲート電極3の側部および不純物拡散層6の上に配置されている。サイドウォールスペーサとしてポリシリコン10を使用するのは、ゲートフリング効果による高駆動能力化や、サリサイド形成の容易性や、ウェットエッティングによる不要な酸化膜4の除去の容易性などの効果以外に、微細なサイドウォールスペーサの形成が容易であるためである。窒化膜9はポリシリコン10を反応性イオンエッティングするときの終点検出膜に使用する。酸化膜4は、ゲート電極3を電気的に絶縁したり、窒化膜9とゲート電極3および不純物拡散層6との応力を緩衝したりするためのもので、熱酸化法またはCVD法で形成される。

【0005】 図4と図5の共通点は、ゲート電極3の側部および不純物拡散層6の上に酸化膜4と窒化膜5（または9）の積層膜が配置されている点である。図6は、インターナショナル・エレクトロン・デバイシス・ミーティング・テクニカル・ダイジェスト 1988年234頁～237頁 著者 トモヒサ・ミズノ「シリコンナイトライド/シリコンオキサイド・スペーサ・インジュースト・ハイ・レリアビリティ・イン・エルディディエムオエスエフイティ・アンド・イット・シンプル・デグラデーション・モデル」(T. Mizuno et al., "Si₃N₄/SiO₂ Spacer Induced High Reliability in LDD MOSFET and Its Simple Degradation Model", International Electron Devices Meeting, p. 234-237, 1988)に記載されている、ホットキャリアによる特性変動を示す図である。

【0006】 図6に示すように、酸化膜4の膜厚が2.5nmというように薄いときには、初期の特性変動は大きいが、特性変動率は小さい。逆に、酸化膜4の膜厚が

2.5 nm というように厚いときには、初期の特性変動は小さいが、特性変動率は大きい。すなわち、特性変動の様子は酸化膜 4 の膜厚に依存し、酸化膜 4 の膜厚には最適範囲が存在することがわかる。

【0007】

【発明が解決しようとする課題】上記従来の半導体装置では、ゲート電極 3 の側部および不純物拡散層 6 の上で酸化膜 4 と窒化膜 5 (または 9) から構成される積層膜において、酸化膜 4 の膜厚が薄いときには、高電界や紫外線で発生したホットキャリアに起因する初期の特性変動が大きくなり、一方、酸化膜 4 の膜厚が厚いときには、特性変動率が大きくなるという課題がある。

【0008】この発明は、上記従来の課題を解決するもので、高電界や紫外線で発生したホットキャリアに起因する特性変動を抑制できる半導体装置を提供することを目的としている。

【0009】

【課題を解決するための手段】請求項 1 記載の半導体装置は、半導体基板上に絶縁膜を介して形成したゲート電極と、ゲート電極の両側に隣接する半導体基板の表面に形成した低濃度ソース・ドレインと、ゲート電極を挟んで低濃度ソース・ドレインの外側に形成した高濃度ソース・ドレインと、ゲート電極の側部および低濃度ソース・ドレイン上を覆う酸化膜と、酸化膜上に形成した窒化膜とを備えた半導体装置であって、酸化膜は、膜厚が 6 nm 以上、20 nm 以下の熱酸化膜からなることを特徴とする。

【0010】請求項 2 記載の半導体装置は、半導体基板上に絶縁膜を介して形成したゲート電極と、ゲート電極の両側に隣接する半導体基板の表面に形成した低濃度ソース・ドレインと、ゲート電極を挟んで低濃度ソース・ドレインの外側に形成した高濃度ソース・ドレインと、ゲート電極の側部および低濃度ソース・ドレイン上を覆う酸化膜と、酸化膜上に形成した窒化膜とを備えた半導体装置であって、酸化膜は、ゲート電極の側部および低濃度ソース・ドレインに接し膜厚が 6 nm 以上、20 nm 以下の熱酸化膜と、この熱酸化膜上に形成した CVD 酸化膜との積層膜からなることを特徴とする。

【0011】請求項 3 記載の半導体装置は、請求項 2 記載の半導体装置において、CVD 酸化膜の膜厚は 20 nm ~ 100 nm であることを特徴とする。請求項 4 記載の半導体装置は、請求項 1, 2 または 3 記載の半導体装置において、窒化膜を、サイドウォールスペーサとしたことを特徴とする。

【0012】

【作用】この発明の構成によれば、ゲート電極の側部および低濃度ソース・ドレイン上を覆う酸化膜を、膜厚が 6 nm 以上、20 nm 以下の熱酸化膜としたことにより、高電界や紫外線で発生したホットキャリアが酸化膜を通過するのを防ぎ、酸化膜と窒化膜の境界にトラップ

するのを抑制して、特性変動を小さくできる。

【0013】また、ゲート電極の側部および低濃度ソース・ドレイン上を覆う酸化膜を、ゲート電極の側部および低濃度ソース・ドレインに接し膜厚が 6 nm 以上、20 nm 以下の熱酸化膜と、この熱酸化膜上に形成した CVD 酸化膜との積層膜としたことにより、高電界や紫外線で発生したホットキャリアが酸化膜を通過するのを防ぎ、酸化膜と窒化膜の境界にトラップするのを抑制して、特性変動をより小さくできる。

【0014】

【実施例】以下、この発明の実施例について、図面を参照しながら説明する。図 1 はこの発明の一実施例における半導体装置の断面図である。図 1 において、21 は p 型の半導体基板、22 は絶縁膜、23 はゲート電極、24 は酸化膜、25 は窒化膜、26a は n 型の低濃度ソースとなる不純物拡散層、26b は n 型の低濃度ドレインとなる不純物拡散層、27 は n 型の高濃度ソースとなる不純物拡散層、28 は n 型の高濃度ドレインとなる不純物拡散層である。

【0015】半導体基板 21 は p 型 (100:10~15 Ω cm) 半導体である。ゲート電極 23 はポリサイドからなり、絶縁膜 22 を介して半導体基板 21 上に配置されている。ゲート電極 23 の長さ (ゲート長) は 0.2 μm 程度である。酸化膜 24 はゲート電極 23 の側部および不純物拡散層 26a, 26b 上を覆っている。窒化膜 25 はサイドウォールスペーサであり、酸化膜 24 を介してゲート電極 23 の側部および不純物拡散層 26a, 26b の上に配置され、長さは 0.1 μm 程度である。窒化膜 25 は、膜厚 0.1 μm 程度の窒化膜を半導体基板 21 全面に成長した後、異方性ドライエッティングにより形成している。

【0016】この半導体装置の特徴は、酸化膜 24 を、膜厚 6 nm 以上、20 nm 以下の熱酸化膜としたことであり、この熱酸化膜は、850 °C 程度の熱酸化により形成している。以上のように構成された半導体装置について、その特性を説明する。微細化がすすむと半導体基板 21 内の電界強度が強くなり、ホットエレクトロンが発生しやすくなる。また、プロズマ加工中に発生した紫外線によりホットエレクトロンが発生する。これらのホットエレクトロンが酸化膜 24 と窒化膜 25 の界面にトラップして半導体装置の特性変動を引き起こす。

【0017】ホットエレクトロンによる特性変動を調べるために、酸化膜 24 の膜厚を変えた半導体装置に紫外線を照射した。その結果を図 2 に示す。ここで、紫外線の波長 λ は 253.7 nm、照射量 φ は 6 mW/cm² (ウェハ表面)、照射時間は室温で 1.5 分間である。図 2 に示すように、酸化膜 24 の膜厚が 6 nm 以下のときに、半導体装置の特性が顕著に変動することがわかった。これは励起されたホットエレクトロンが薄い酸化膜 24 を突き抜けて窒化膜 25 にトラップするためであ

る。逆に、酸化膜24の膜厚が6nm以上のときには、半導体装置の特性がほとんど変動しないことがわかつた。これは励起されたホットエレクトロンが厚い酸化膜24を突き抜けることができず、窒化膜25にトラップしないためである。また、6nmという膜厚はトンネル電流が流れ始める膜厚の2倍程度であり、長期間におよぶ半導体装置の特性の安定性を確保するための臨界的な膜厚であることがわかつた。なお、今回は紫外線照射によりホットエレクトロンを発生させたが、高電界によるホットエレクトロンの場合にも上記の内容が当てはまる。

【0018】さらに、酸化膜24の膜厚を厚くすると、長時間の熱処理のためにしきい値電圧やコンタクト抵抗といった半導体装置の特性が劣化する。酸化膜24を熱酸化膜で形成する場合、酸化膜24の膜厚が20nm以下であれば、高集積化回路に使用する半導体装置でも支障は生じない。以上のようにこの実施例によれば、酸化膜24を、膜厚6nm以上、20nm以下の熱酸化膜としたことにより、高電界や紫外線で発生したホットキャリアに起因する特性変動を抑制することができる。

【0019】一方、酸化膜24をCVD酸化膜で形成する場合は、熱処理のために半導体装置の特性が変動することはない。しかし、CVD酸化膜単独の場合は、熱酸化膜と比べてホットキャリアに起因する特性変動が大きいことがわかつた。これは、密な膜質をもつ熱酸化膜に対して粗な膜質を持つCVD酸化膜はより多くのホットエレクトロンを通しやすいためと考えられる。つまり、半導体装置の特性が安定であるためには、ゲート電極23や不純物拡散層26a、26bに接触する酸化膜24は熱酸化膜で形成する必要がある。

【0020】また、半導体装置の特性のさらなる安定化のためには、酸化膜24を熱酸化膜とCVD酸化膜の積層構造にするのが有効であることがわかつた。つまり、特性変動がない範囲（膜厚6nm以上、20nm以下）で密な膜質を持つ熱酸化膜を形成し、さらにCVD酸化膜を形成して最終的に酸化膜24の膜厚を厚くする。例えば、熱酸化膜厚が8nmのときに、CVD酸化膜厚を20nm以上にすると、紫外線照射時の特性変動量がほとんどなくなる。なお、CVD酸化膜厚が100nmより厚いときには、コンタクトホール底部の形状が悪化したり、サイドウォールスペーサ（窒化膜25）の形成が困難になったりする。CVD酸化膜厚が100nm以下なら上記のような不都合は生じない。

【0021】したがって、酸化膜24を、ゲート電極23の側部および低濃度ソース・ドレインの不純物拡散層26a、26bの上に形成した膜厚6nm以上、20nm以下の熱酸化膜と、さらにその上に形成した膜厚20nm以上、100nm以下のCVD酸化膜との積層構造にすることにより、コンタクトホール底部の形状が悪化したり、サイドウォールスペーサ（窒化膜25）の形成

が困難になるという不都合を生じることなく、高電界や紫外線で発生したホットキャリアに起因する特性変動をより抑制することができる。

【0022】つぎに、この発明の他の実施例について説明する。図3はこの発明の他の実施例における半導体装置の断面図である。図3において、31はサイドウォールスペーサとしての窒化膜、32はn型の低濃度ドレインとなる不純物拡散層、33は保護膜としての窒化膜であり、その他の図1と同一部分については同一符号を付している。

【0023】図1の半導体装置では、低濃度ソース、ドレインとなる不純物拡散層26a、26bが同じ大きさで形成されていたが、図3に示すこの実施例の半導体装置は、低濃度ドレインとなる不純物拡散層32を、低濃度ソースとなる不純物拡散層26aよりも広く形成している。また、広く形成した低濃度ドレインとなる不純物拡散層32上を酸化膜24を介して覆うように、サイドウォールスペーサとしての窒化膜31の他に、保護膜としての窒化膜33を形成している。その他の構成は、図1と同様であり、酸化膜24は、膜厚6nm以上、20nm以下の熱酸化膜で形成している。

【0024】図3の半導体装置においても、酸化膜24の膜厚を変更し、紫外線を照射したところ、酸化膜24の膜厚が6nm以下のときには半導体装置の特性が顕著に変動し、6nm以上のときは半導体装置の特性がほとんど変動しなかった。このメカニズムは上記の説明で述べたのと同じである。また、今回は紫外線照射によりホットエレクトロンを発生させたが、高電界によるホットエレクトロンの場合にも同様である。

【0025】この図3の半導体装置においても、図1の半導体装置と同様、酸化膜24を、膜厚6nm以上、20nm以下の熱酸化膜としたことにより、高電界や紫外線で発生したホットキャリアに起因する特性変動を抑制することができる。また、酸化膜24を、膜厚6nm以上、20nm以下の熱酸化膜と、さらにその上に形成した膜厚20nm以上、100nm以下のCVD酸化膜との積層構造にすれば、より特性変動を抑制することができることも、図1の半導体装置と同様である。

【0026】また、この実施例では、サイドウォールスペーサを窒化膜31で構成したが、CVD酸化膜で構成される場合も同様である。なお、上記実施例では、サイドウォールスペーサを窒化膜25（31）で構成したが、ゲート電極23と不純物拡散層26a、26b（32）に対して、酸化膜と窒化膜と介してポリシリコンからなるサイドウォールスペーサが配置されている場合も同様である。

【0027】また、上記実施例では、nチャネル型半導体装置の場合を示したが、pチャネル型半導体装置の場合も同様である。また、上記実施例では、LDD構造の半導体装置について説明したが、SD構造やFOLD構

造の半導体装置の場合も同様である。

【0028】

【発明の効果】この発明によれば、ゲート電極や不純物拡散層と窒化膜との間に存する酸化膜の膜厚を6 nm以上、20 nm以下の範囲に設定することで、ホットキャリアに起因する特性変動を抑制できる優れた半導体装置を実現でき、半導体集積回路に大きく寄与するものである。

【0029】また、ゲート電極や不純物拡散層と窒化膜との間に存する酸化膜を、膜厚が6 nm以上、20 nm以下の熱酸化膜とCVD酸化膜との積層膜にすることで、ホットキャリアに起因する特性変動をより抑制できる優れた半導体装置を実現でき、半導体集積回路に大きく寄与するものである。

【図面の簡単な説明】

【図1】この発明の一実施例における半導体装置の断面図。

【図2】この発明の一実施例における特性図。

【図3】この発明の他の実施例における半導体装置の断面図。

【図4】従来の半導体装置の断面図。

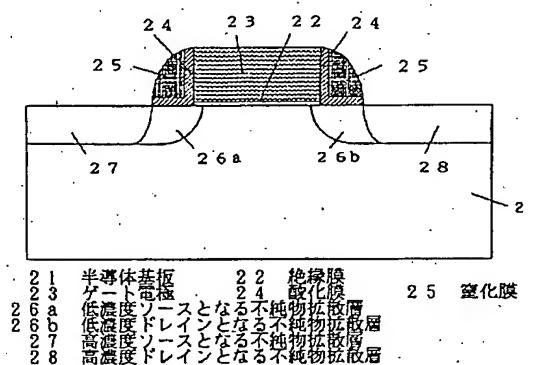
【図5】他の従来の半導体装置の断面図。

【図6】IEDM記載の特性図。

【符号の説明】

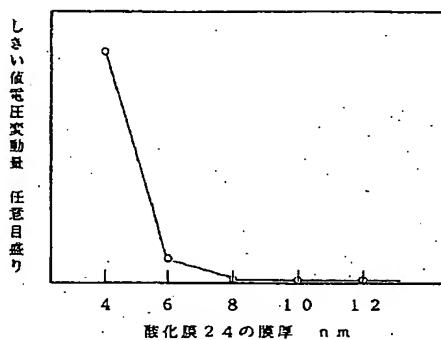
- 21 半導体基板
- 22 絶縁膜
- 23 ゲート電極
- 24 酸化膜
- 25 窒化膜
- 26a 低濃度ソースとなる不純物拡散層
- 26b 低濃度ドレインとなる不純物拡散層
- 27 高濃度ソースとなる不純物拡散層
- 28 高濃度ドレインとなる不純物拡散層
- 31 窒化膜

【図1】

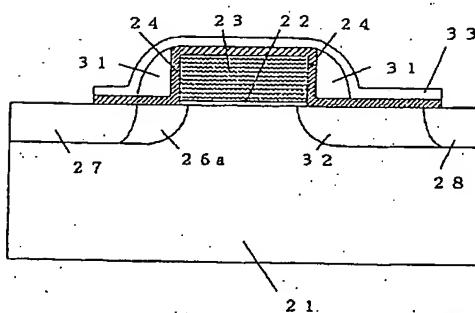


21 半導体基板
22 絶縁膜
23 ゲート電極
24 酸化膜
25 窒化膜
26a 低濃度ソースとなる不純物拡散層
26b 低濃度ドレインとなる不純物拡散層
27 高濃度ソースとなる不純物拡散層
28 高濃度ドレインとなる不純物拡散層

【図2】

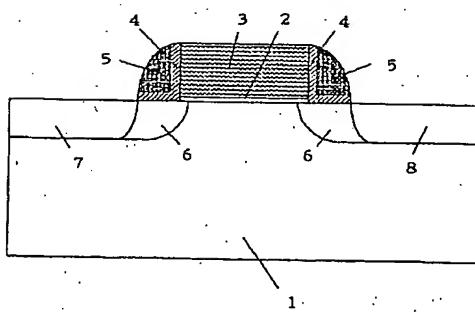


【図3】

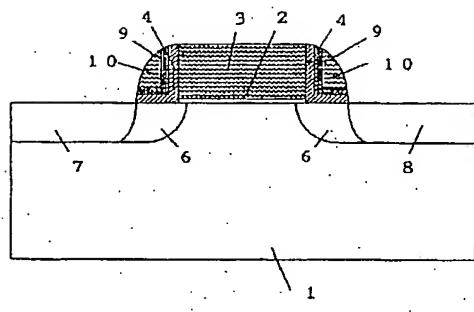


26a 低濃度ソースとなる不純物拡散層
26b 低濃度ドレインとなる不純物拡散層
31 窒化膜

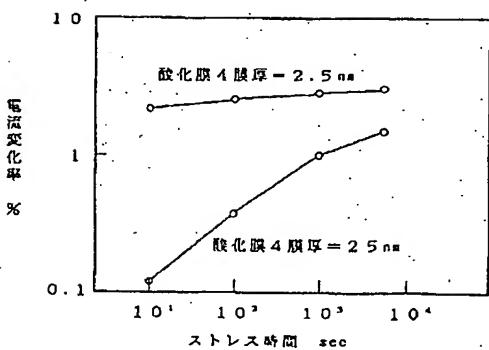
【図4】



【図5】



【図6】



* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] The gate electrode formed through the insulator layer on the semi-conductor substrate. The low concentration source drain formed in the front face of said semi-conductor substrate which adjoins the both sides of said gate electrode. The high concentration source drain formed in the outside of said low concentration source drain on both sides of said gate electrode. It is a wrap oxide film about said flank [of said gate electrode], and low concentration source drain top. The nitride formed on said oxide film. It is the semiconductor device equipped with the above, and said oxide film is characterized by thickness consisting of thermal oxidation film (6nm or more and 20nm or less).

[Claim 2] The gate electrode formed through the insulator layer on the semi-conductor substrate. The low concentration source drain formed in the front face of said semi-conductor substrate which adjoins the both sides of said gate electrode. The high concentration source drain formed in the outside of said low concentration source drain on both sides of said gate electrode. It is a wrap oxide film about said flank [of said gate electrode], and low concentration source drain top. The nitride formed on said oxide film. It is the semiconductor device equipped with the above, and said oxide film is characterized by thickness consisting of a cascade screen of the thermal oxidation film (6nm or more and 20nm or less) and the CVD oxide film formed on this thermal oxidation film in contact with the flank and said low concentration source drain of said gate electrode.

[Claim 3] The thickness of a CVD oxide film is a semiconductor device according to claim 2 characterized by being 20nm - 100nm.

[Claim 4] The semiconductor device according to claim 1, 2, or 3 characterized by using a nitride as a sidewall spacer.

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor device used for a semiconductor integrated circuit.

[0002]

[Description of the Prior Art] In recent years, in the semiconductor device which aims at high integration and high performance-ization, a nitride and polish recon have come to be used as a sidewall spacer ingredient. Drawing 4 is the sectional view of the conventional semiconductor device indicated by JP,62-81762,A and JP,63-224363,A. In drawing 4 , the impurity diffused layer from which 1 becomes a semi-conductor substrate and the impurity diffused layer from which in a gate electrode and 4 an oxide film and 5 become a nitride and 6 becomes [2 / an insulator layer and 3] a low concentration source drain, and 7 becomes the high concentration source, and 8 are the impurity diffused layers used as a high concentration drain.

[0003] The gate electrode 3 is arranged on the semi-conductor substrate 1 through the insulator layer 2. The oxide film 4 has covered the flank [of the gate electrode 3], and impurity diffused layer 6 top. An oxide film 4 is for insulating the gate electrode 3 electrically or buffering stress with a nitride 5, the gate electrode 3, and an impurity diffused layer 6, and is formed with the oxidizing [thermally] method or a CVD method. The thickness of an oxide film 4 is about 20-30nm. A nitride 5 is a sidewall spacer and is arranged on the flank of the gate electrode 3, and the impurity diffused layer 6 through the oxide film 4. A nitride 5 is used for the mask which bars the ion implantation to an impurity diffused layer 6, when forming the impurity diffused layers 7 and 8 used as the high concentration source and a drain. Although the CVD oxide film etc. was used before, the nitride 5 is used here for the formation of high drive capacity by gate fringe effect, the ease of the Salicide formation, the ease of removal of the unnecessary oxide film 4 by wet etching, etc.

[0004] Drawing 5 is the sectional view of other conventional semiconductor devices. In drawing 5 , 9 is a nitride, 10 is polish recon, and the same sign is attached about the same part as other drawing 4 . In drawing 5 , the semi-conductor substrate 1, the insulator layer 2, the gate electrode 3, and the oxide film 4 are arranged like drawing 4 . The nitride 9 has covered the flank [of the gate electrode 3], and impurity diffused layer 6 top as well as the oxide film 4. The polish recon 10 is a sidewall spacer and is arranged on the flank of the gate electrode 3, and the impurity diffused layer 6 through the oxide film 4 and the nitride 9. The polish recon 10 is used as a sidewall spacer,

because formation of a sidewall spacer detailed in addition to effectiveness, such as formation of high drive capacity by gate fringe effect, the ease of the Salicide formation, and the ease of removal of the unnecessary oxide film 4 by wet etching, is easy. A nitride 9 uses the polish recon 10 for the terminal point detection film when carrying out reactive ion etching. An oxide film 4 is for insulating the gate electrode 3 electrically or buffering stress with a nitride 9, the gate electrode 3, and an impurity diffused layer 6, and is formed with the oxidizing [thermally] method or a CVD method.

[0005] The common feature of drawing 4 and drawing 5 is a point that the cascade screen of an oxide film 4 and a nitride 5 (or 9) is arranged on the flank of the gate electrode 3, and the impurity diffused layer 6. Drawing 6 International electron debye sheath meeting technical digest 1988 year 234 Page 237 Page Author TOMOHISA Mizuno "silicon nitride / silicon oxide Spacer in JUSUTO high laelia kinky thread tee Inn - El Didier MUOESUEFUITI- and - ITTSU simple degradation model" (T.) [Mizuno et al."Si3 N4/SiO2 Spacer Induced High Reliability] in LDDMOSFET and Its SimpleDegradation Modle", International Electron Devices Are indicated by Meeting, p.234-237, and 1988. It is drawing showing the property fluctuation by the hot carrier.

[0006] Although early property fluctuation is large when the thickness of an oxide film 4 is thin like 2.5nm as shown in drawing 6 , property rate of change is small. On the contrary, although early property fluctuation is small when the thickness of an oxide film 4 is thick like 25nm, property rate of change is large. Namely, depending on the thickness of an oxide film 4, as for the situation of property fluctuation, it turns out that the optimal range exists in the thickness of an oxide film 4.

[0007]

[Problem(s) to be Solved by the Invention] In the above-mentioned conventional semiconductor device, in the cascade screen which consists of an oxide film 4 and a nitride 5 (or 9) on the flank of the gate electrode 3, and an impurity diffused layer 6, when the thickness of an oxide film 4 is thin, the early property fluctuation resulting from the hot carrier generated in high electric field or ultraviolet rays becomes large, and when the thickness of an oxide film 4 is thick, on the other hand, the technical problem that property rate of change becomes large occurs.

[0008] This invention solves the above-mentioned conventional technical problem, and aims at offering the semiconductor device which can control the property fluctuation resulting from the hot carrier generated in high electric field or ultraviolet rays.

[0009]

[Means for Solving the Problem] The gate electrode which formed the semiconductor device according to claim 1 through the insulator layer on the semi-conductor substrate,

The low concentration source drain formed in the front face of the semi-conductor substrate which adjoins the both sides of a gate electrode, The high concentration source drain formed in the outside of a low concentration source drain on both sides of the gate electrode, It is the semiconductor device equipped with the nitride in which the flank [of a gate electrode] and low concentration source drain top was formed on the wrap oxide film and the oxide film, and an oxide film is characterized by thickness consisting of thermal oxidation film (6nm or more and 20nm or less).

[0010] The gate electrode which formed the semiconductor device according to claim 2 through the insulator layer on the semi-conductor substrate, The low concentration source drain formed in the front face of the semi-conductor substrate which adjoins the both sides of a gate electrode, The high concentration source drain formed in the outside of a low concentration source drain on both sides of the gate electrode, It is the semiconductor device equipped with the nitride in which the flank [of a gate electrode] and low concentration source drain top was formed on the wrap oxide film and the oxide film. An oxide film In contact with the flank and low concentration source drain of a gate electrode, thickness is characterized by consisting of a cascade screen of the thermal oxidation film (6nm or more and 20nm or less) and the CVD oxide film formed on this thermal oxidation film.

[0011] A semiconductor device according to claim 3 is characterized by the thickness of a CVD oxide film being 20nm - 100nm in a semiconductor device according to claim 2. A semiconductor device according to claim 4 is characterized by using a nitride as a sidewall spacer in a semiconductor device according to claim 1, 2, or 3.

[0012]

[Function] According to the configuration of this invention, it controls preventing the hot carrier which generated the flank [of a gate electrode] and low concentration source drain top in high electric field or ultraviolet rays when thickness used the wrap oxide film as the thermal oxidation film (6nm or more and 20nm or less) passing an oxide film, and setting it as the border of an oxide film and a nitride for a trap, and property fluctuation can be made small.

[0013] The flank and low concentration source drain of a gate electrode are touched [top / flank / of a gate electrode /, and low concentration source drain] in a wrap oxide film. Thickness Moreover, the thermal oxidation film (6nm or more and 20nm or less), By having considered as the cascade screen with the CVD oxide film formed on this thermal oxidation film, it controls preventing the hot carrier generated in high electric field or ultraviolet rays passing an oxide film, and setting it as the border of an oxide film and a nitride for a trap, and property fluctuation can be made smaller.

[0014]

[Example] Hereafter, the example of this invention is explained, referring to a drawing. Drawing 1 is the sectional view of the semiconductor device in one example of this invention. In drawing 1, the impurity diffused layer from which the semiconductor substrate of p mold, the impurity diffused layer from which in an insulator layer and 23 a nitride and 26a become an oxide film as for a gate electrode and 24, and 25 becomes [22] the low concentration source of n mold, and 26b become the low concentration drain of n mold in 21, the impurity diffused layer from which 27 becomes the high concentration source of n mold, and 28 are the impurity diffused layers used as the high concentration drain of n mold.

[0015] The semi-conductor substrate 21 is p mold (100:10-15·ohmcm) semi-conductor. The gate electrode 23 consists of a polycide and is arranged on the semi-conductor substrate 21 through the insulator layer 22. The die length (gate length) of the gate electrode 23 is about 0.2 micrometers. The oxide film 24 has covered flank [of the gate electrode 23] and impurity diffused layer 26a, and 26b top. A nitride 25 is a sidewall spacer, it is arranged through an oxide film 24 on the flank of the gate electrode 23, and impurity diffused layers 26a and 26b, and die length is about 0.1 micrometers. A nitride 25 forms the nitride of about 0.1 micrometers of thickness by anisotropy dry etching, after growing all over semi-conductor substrate 21.

[0016] The description of this semiconductor device is having used the oxide film 24 as 6nm or more of thickness, and the thermal oxidation film 20nm or less, and this thermal oxidation film is formed by thermal oxidation of about 850 degrees C. The property is explained about the semiconductor device constituted as mentioned above. If detailed-ization progresses, the field strength in the semi-conductor substrate 21 will become strong, and it will become easy to generate a hot electron. Moreover, a hot electron is generated by the ultraviolet rays generated during PUROZUMA processing. These hot electrons carry out a trap to the interface of an oxide film 24 and a nitride 25, and cause property fluctuation of a semiconductor device.

[0017] In order to investigate the property fluctuation by the hot electron, ultraviolet rays were irradiated at the semiconductor device into which the thickness of an oxide film 24 was changed. The result is shown in drawing 2. Here, for the wavelength lambda of ultraviolet rays, 6 mW/cm² (wafer front face) and the irradiation time of 253.7nm and an exposure phi are for 15 minutes at a room temperature. As shown in drawing 2, when the thickness of an oxide film 24 was 6nm or less, it turned out that the property of a semiconductor device is changed notably. This is for the excited hot electron to run through the thin oxide film 24, and to carry out a trap to a nitride 25. On

the contrary, when the thickness of an oxide film 24 was 6nm or more, it turned out that the property of a semiconductor device is hardly changed. This is for the excited hot electron to be unable to run through the thick oxide film 24, and not to carry out a trap to a nitride 25. Moreover, the thickness of 6nm is about 2 times of the thickness to which tunnel current begins to flow, and it turned out that it is the criticality thickness for securing the stability of the property of the semiconductor device which attains to a long period of time. In addition, although the hot electron was generated by UV irradiation this time, also in the case of the hot electron by high electric field, the above-mentioned contents are applied.

[0018] Furthermore, if thickness of an oxide film 24 is thickened, a threshold electrical potential difference and the property of a semiconductor device called contact resistance will deteriorate for prolonged heat treatment. If the thickness of an oxide film 24 is 20nm or less when forming an oxide film 24 by the thermal oxidation film, trouble will not be produced with the semiconductor device used for a high integration circuit, either. According to this example, the property fluctuation resulting from the hot carrier which generated the oxide film 24 in high electric field or ultraviolet rays by having considered as 6nm or more of thickness and the thermal oxidation film 20nm or less can be controlled as mentioned above.

[0019] On the other hand, when forming an oxide film 24 with a CVD oxide film, the property of a semiconductor device is not changed for heat treatment. However, in the CVD oxide film independent case, it turned out that the property fluctuation which originates in a hot carrier compared with the thermal oxidation film is large. The CVD oxide film which has **** membranous quality to the thermal oxidation film with membranous quality with this dense is considered to be a through and cone sake in more hot electrons. That is, in order for the property of a semiconductor device to be stable, it is necessary to form the oxide film 24 in contact with the gate electrode 23 or impurity diffused layers 26a and 26b by the thermal oxidation film.

[0020] Moreover, for the further stabilization of the property of a semiconductor device, it turned out that it is effective to make an oxide film 24 into the laminated structure of the thermal oxidation film and a CVD oxide film. That is, the thermal oxidation film which has dense membranous quality in the range (6nm or more of thickness, 20nm or less) without property fluctuation is formed, a CVD oxide film is formed further, and, finally thickness of an oxide film 24 is thickened. For example, if CVD oxide film thickness is set to 20nm or more when thermal oxidation thickness is 8nm, the amount of property fluctuation at the time of UV irradiation will almost be lost. In addition, when CVD oxide film thickness is thicker than 100nm, the configuration of a contact

hole pars basilaris ossis occipitalis gets worse, or formation of a sidewall spacer (nitride 25) becomes difficult. If CVD oxide-film thickness is 100nm or less, it does not produce above un-arranging.

[0021] Therefore, 6nm or more of thickness and thermal oxidation film 20nm or less in which the oxide film 24 was formed on the flank of the gate electrode 23, and the impurity diffused layers 26a and 26b of a low concentration source drain, By making it a laminated structure with 20nm or more of thickness and the CVD oxide film 100nm or less which were furthermore formed on it The property fluctuation resulting from the hot carrier generated in high electric field or ultraviolet rays can be controlled more, without producing un-arranging [that the configuration of a contact hole pars basilaris ossis occipitalis gets worse, or formation of a sidewall spacer (nitride 25) becomes difficult].

[0022] Below, other examples of this invention are explained. Drawing 3 is the sectional view of the semiconductor device in other examples of this invention. In drawing 3, the impurity diffused layer from which 31 becomes a nitride as a sidewall spacer and 32 becomes the low concentration drain of n mold, and 33 are the nitrides as a protective coat, and attach the same sign about the same part as other drawing 1.

[0023] Although the impurity diffused layers 26a and 26b used as the low concentration source and a drain were formed in the same magnitude in the semiconductor device of drawing 1, the semiconductor device of this example shown in drawing 3 forms more widely than impurity diffused layer 26a used as the low concentration source the impurity diffused layer 32 used as a low concentration drain. Moreover, the nitride 33 as a protective coat other than the nitride 31 as a sidewall spacer is formed so that the impurity diffused layer 32 top used as the low concentration drain formed widely may be covered through an oxide film 24. Other configurations are the same as that of drawing 1, and the oxide film 24 is formed by 6nm or more of thickness, and the thermal oxidation film 20nm or less.

[0024] Also in the semiconductor device of drawing 3, when the thickness of an oxide film 24 was changed and ultraviolet rays were irradiated, when the thickness of an oxide film 24 was 6nm or less, the property of a semiconductor device was changed notably, and when it was 6nm or more, the property of a semiconductor device was hardly changed. This mechanism is as the same as the above-mentioned explanation described. Moreover, also in the case of the hot electron by high electric field, it is the same although the hot electron was generated by UV irradiation this time.

[0025] Also in the semiconductor device of this drawing 3, the property fluctuation resulting from the hot carrier generated in high electric field or ultraviolet rays can be

controlled like the semiconductor device of drawing 1 by having used the oxide film 24 as 6nm or more of thickness, and the thermal oxidation film 20nm or less. Moreover, if an oxide film 24 is made into the laminated structure of 6nm or more of thickness, the thermal oxidation film 20nm or less, and the 20nm or more of thickness and the CVD oxide film 100nm or less that were further formed on it, it is the same as that of the semiconductor device of drawing 1 that property fluctuation can be controlled more.

[0026] Moreover, although this example constituted the sidewall spacer from the nitride 31, it is also the same as when constituted by the CVD oxide film. In addition, although the nitride 25 (31) constituted the sidewall spacer from the above-mentioned example, it is also the same as when the sidewall spacer which minds with an oxide film and a nitride and consists of polish recon is arranged to the gate electrode 23 and impurity diffused layers 26a and 26b (32).

[0027] Moreover, although the above-mentioned example showed the case of an n channel mold semiconductor device, the same is said of the case of a p channel mold semiconductor device. Moreover, although the above-mentioned example explained the semiconductor device of LDD structure, the same is said of the case of the semiconductor device of SD structure or FOLD structure.

[0028]

[Effect of the Invention] According to this invention, by setting the thickness of the oxide film which consists between a gate electrode, an impurity diffused layer, and a nitride as the range of 6nm or more and 20nm or less, the outstanding semiconductor device which can control the property fluctuation resulting from a hot carrier can be realized, and it contributes to a semiconductor integrated circuit greatly.

[0029] Moreover, the outstanding semiconductor device which can control the property fluctuation resulting from a hot carrier more can be realized, and it contributes to a semiconductor integrated circuit greatly because thickness makes the oxide film which consists between a gate electrode, an impurity diffused layer, and a nitride the cascade screen of the thermal oxidation film (6nm or more and 20nm or less) and a CVD oxide film.

[Brief Description of the Drawings]

[Drawing 1] The sectional view of the semiconductor device in one example of this invention.

[Drawing 2] The property Fig. in one example of this invention.

[Drawing 3] The sectional view of the semiconductor device in other examples of this

invention.

[Drawing 4] The sectional view of the conventional semiconductor device.

[Drawing 5] The sectional view of other conventional semiconductor devices.

[Drawing 6] A property Fig. given in IEDM.

[Description of Notations]

21 Semi-conductor Substrate

22 Insulator Layer

23 Gate Electrode

24 Oxide Film

25 Nitride

26a The impurity diffused layer used as the low concentration source

26b The impurity diffused layer used as a low concentration drain

27 Impurity Diffused Layer Used as High Concentration Source

28 Impurity Diffused Layer Used as High Concentration Drain

31 Nitride

32 Impurity Diffused Layer Used as Low Concentration Drain

33 Nitride

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.